

DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

02464658 **Image available**
MULTI-CPU CONTROLLING SYSTEM

PUB. NO.: 63-081558 [JP 63081558 A]
PUBLISHED: April 12, 1988 (19880412)
INVENTOR(s): SANADA TSUTOMU
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 61-226736 [JP 86226736]
FILED: September 25, 1986 (19860925)

ABSTRACT

PURPOSE: To attain the flexible applications by providing a mode control register and changing the connection system of two microprocessors programmably so as to effectively utilize the performance of the processors.

CONSTITUTION: The mode control register 4 is constituted to be accessed from both the processors 1, 6 and when the operating system is operated on the processor of a CPU 1, a CPU 2 acts like a sub-processor, a local memory 8 is used to control a screen control section 9, and the information of the CPU1(1) and CPU2(6) is converted by a common memory 3. The mode control register 4 is accessed by the program of the CPU1 to change the mode, then a driver/ receiver 5 is made ineffective, a driver/receiver 11 is made effective, a bus 7 of the CPU2 is connected to the system 12 and the CPU2(6) accesses a main memory 13 and an input/output device 14. In this mode, the CPU1(1) is inoperative and the control of the entire system is executed by the CPU2(6).

Best Available Copy

⑫ 公開特許公報(A)

昭63-81558

⑤ Int.Cl.⁴

G 06 F 15/16

識別記号

4 2 0
4 0 0

庁内整理番号

2116-5B
2116-5B

⑬ 公開 昭和63年(1988)4月12日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 マルチCPU制御方式

⑯ 特 願 昭61-226736

⑰ 出 願 昭61(1986)9月25日

⑱ 発 明 者 真 田 勉 東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場
内
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

マルチCPU制御方式

2. 特許請求の範囲

それぞれが独立したバスを持つマイクロプロセッサと、上記バス間に接続され、上記マイクロプロセッサ間の情報変換を行なうときにその交信情報が格納されるコモンメモリと、上記両マイクロプロセッサによりアクセスされ、その動作モードが設定されるモード制御レジスタと、上記バスとはそれぞれドライバ/レシーバを介して接続され、主メモリ、入出力デバイスが共通接続されるシステムバスとからなり、上記モード制御レジスタに設定された内容に従がはいずれか一方のドライバ/レシーバを有効としシステムバスに接続されたマイクロプロセッサを機能させることを特徴とするマルチCPU制御方式。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はマイクロプロセッサが持つ性能を有効に使用することの出来るマルチCPU制御方式に関する。

(従来技術)

従来、機能分散の観点より複数のマイクロプロセッサを用いシステム性能を向上させる方式がいくつかある。その多くは1つがメインプロセッサとして動作、他の1つはサブプロセッサとして、例えば画面制御等、専用プロセッサとして機能するものである。

具体的にグラフィックシステムを例示しよう。この様なシステムにてグラフィックデータを表示する場合、そのドットパターンデータをメモリに展開し端末へ転送する必要がある。従って、主プロセッサとグラフィックプロセッサを独立させ、両者間をグラフィックコマンドの受け渡しを行なうコモンメモリで仲介させる機能分散アーキテクチャを採っている。

(発明が解決しようとする問題点)

近年、半導体技術の進歩に伴ないマイクロプ

ロセッサの性能も格段に向上しているにもかかわらず、上記機能分散システムにおいては、メインとなるプロセッサは別として、サブとなるプロセッサが持つ性能を十分に生かしているとは言いがたく、又、柔軟性のある使い方が出来なかった。

本発明は上記事情に鑑みてなされたものであり、プロセッサが持つ性能を有効に活用しつつ、柔軟性のある使用法を実現するマルチCPU制御方式を提供することを目的とする。

〔発明の構成〕

（問題点を解決するための手段）

本発明は2つのマイクロプロセッサの接続方式をプログラマブルに変え、マイクロプロセッサが持つ性能を有効に利用すると共に、システムの機能拡張を容易に実現するものである。

このため、従来この種システムが持つコンポーネントに更にシステムに接続されるマイクロプロセッサによりアクセスがなされ、その動作モードが設定されるモード制御レジスタを付加し、更に、マイクロプロセッサが持つそれぞれのバスとはド

力デバイスをアクセス出来る。

尚、モード制御レジスタはシステムに接続される全てのマイクロプロセッサによってもアクセスすることが出来、両モードをプログラマブルに切替えられる。

本発明方式によりシステムに異なるマイクロプロセッサが接続されていた場合には1システムにて複数のオペレーティングシステムを動作させることが出来る。

（実施例）

以下、図面を使用して本発明実施例について詳細に説明する。

第1図は本発明の実施例を示すブロック図である。参考のため、第2図に従来例も示されており、同一番号が付されたブロックは第1図のそれと同じものとする。図において1はプロセッサ(CPU1)、2、7はそのバス、3はプロセッサ1と、プロセッサ(CPU2)6とのメールボックスとなるコモンメモリである。4は本発明により付加されるモード制御レジスタであり、プロセッサ1、

ライバ/レシーバを介してシステムバスを接続することによりモード制御レジスタに設定された内容に従がいずれか一方のドライバ/レシーバを有効とし、いずれか一方のマイクロプロセッサをメインとして機能させる構成としたものである。

（作用）

上記構成においても、モード制御レジスタは初期状態のとき、いずれか一方のマイクロプロセッサのモードとなっており、従って、そのマイクロプロセッサが持つバスに接続されたドライバ/レシーバを有効とし、システムバスに接続された主メモリ及び入出力デバイスをアクセスすることが出来る。このとき、他方のCPUはサブプロセッサとして動作し、自身で持つローカルメモリを用い、例えば画面制御を行なう。一方上記マイクロプロセッサがモード制御レジスタをアクセスし、モード変更を行なうと、他方のドライバ/レシーバが有効となって、先にサブプロセッサとして機能していたマイクロプロセッサがシステムバスと接続され、このバスに接続される主メモリ、入出

6の両方からアクセスできる構成となっている。5はCPU1のバス2のドライバ/レシーバ(D/R)である。6は他方のプロセッサ(CPU2)であり、7はそのバス、8はCPU2用のローカルメモリである。9、10はそれぞれ画面制御部と表示装置(CRT)である。11はCPU2が持つバス7のドライバ/レシーバ(D/R)である。12はシステムバスであり、主メモリ13入出力装置14が接続される。

以下、従来例と対比しながら本発明実施例の動作について詳細に説明する。

従来は第2図に示すようにCPU1はメインプロセッサとして動作し、オペレーティングシステム(OS)箱のCPU1上で動作する。CPU1の負荷を軽減するために、例えば画面制御などは専用サブプロセッサCPU2(6)に任せ、その間の情報はコモンメモリ5で行なわれていた。近年、半導体技術の進歩よりマイクロプロセッサが持つ性能は格段に向上したが、従来方式ではサブプロセッサ6は画面制御など専用プロセッサの

みに従事し、性能は生かしきっていなかったことは上述したとおりである。

第1図は本発明実施例である初期状態のとき、モード制御レジスタ4はCPU1モードとなっており、このモードではドライバ/レシーバ5が有効となり、CPU1のバス2がシステムバス12と接続されてCPU1が主メモリ13入出力14をアクセスする事ができる。

即ち、OSはCPU1のプロセッサ上にて動作する。そのとき、CPU2はサブプロセッサとして動作しローカルメモリ8を使って画面制御部9をコントロールする。CPU1(1)とCPU2(6)の情報はコモンメモリ3によって変換される。CPU1上のプログラムにより、モード制御レジスタ4をアクセスし、モードを変更すると、ドライバ/レシーバ5は無効となる。そのかわりにドライバ/レシーバ11が有効となり、CPU2が持つバス7がシステムバス12と接続されて、CPU2(6)が主メモリ13入出力装置14をアクセスできるようになる。このモードではCPU1

(1)は動かさず全てのシステムの制御はCPU2(6)によって行なわれる。モード制御レジスタ4はCPU2(6)によってもアクセスする事ができ、両モードをプログラマブルに切り替えることができる。

尚、本発明方式により、CPU1とCPU2が異なるタイプのマイクロプロセッサで構成されるならば、1システムで2つのOSを動作させることもできる。

〔発明の効果〕

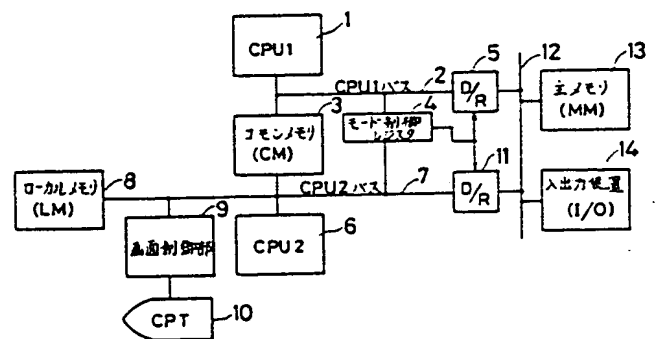
以上説明の様に本発明方式に従えば、モード1に関し、CPU1をメインプロセッサに、CPU2をサブプロセッサとして動作させる機能分散モードとし、一方、モード2に関し、CPU2のみメインプロセッサとして働くモードとすることにより、もし、CPU1とCPU2が異なるタイプのマイクロプロセッサで構成されるならば、2つの異なるOSを1つのシステムで動作させることができる。このように機能分散をはかってシステム性能の向上をねらいながらモードを切換え

ることにより2つのOSを動かすといった柔軟性のある使い方が可能となる。

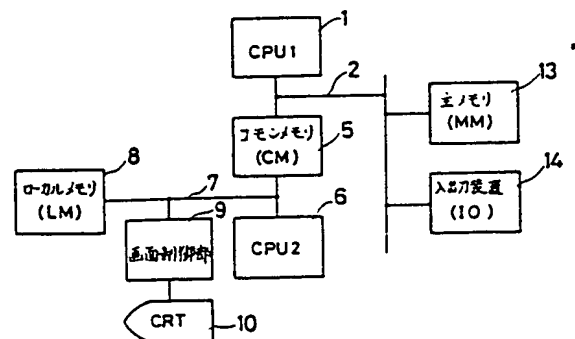
4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図は従来例を示すブロック図である。

1, 6…プロセッサ(CPU)、2, 7…CPUバス、3…コモンメモリ、4…モード制御レジスタ、8…ローカルメモリ、5, 11…ドライバ/レシーバ、12…システムバス。



第1図



第2図

出願人代理人 弁理士 鈴江武彦

DATE OF DELIVERY OF THE NOTICE: April 8, 2003

NOTICE OF REASONS OF REFUSAL

PATENT APPLICATION NUMBER: 2002-163283
DATE OF DRAFT OF THE NOTICE: April 3, 2003
EXAMINER NAOKI MATSUKAWA
AGENTS: TAMOTSU AOYAMA and two others
PATENT LAW: Sections 29(2), 36 and 37

The application is deemed to be rejected according to a following reason. The applicant may submit an opinion, if any, within three months from the date of delivery of this notice.

REASONS

REASON 1.

The application does not satisfy the requirement of Patent Law § 37 as mentioned below.

NOTES

The invention of claim 1 consists of components of known art, as will be mentioned later on REASON 3, and it is not deemed to have "a problem to be solved" not yet solved at the filing date or to have the "substantial part" of the features stated in the claim in correspondence to the problem to be solved. Therefore, the invention of claim 1 and that of claim 6 do not have the relationship stated in Patent Law § 37 (i) and that stated in § 37 (ii).

Further, the invention of claim 1 and that of claim 6 do not have the relationship stated in any one of Patent Law § 37 (iii), (iv) and (v).

Similarly, the invention of claim 1 and those of claim 7-15 dependent on claim 6 do not have the relationship stated in any one of Patent Law § 37 (i) to (v).

Similarly, the invention of claim 1 and those of claim 16 and claims 17-20 dependent on claim 16, and the invention of claim 1 and those of claim 21 and claim 22 dependent on claim 21 do not have the relationship stated in any one of Patent Law § 37 (i) to (v).

If any one of the inventions of claims 1-22 is considered as the specified invention, it is not deemed to have the relationship stated in any one of Patent Law § 37 (i) to (v).

Because the application does not satisfy the requirement of Patent Law § 37, claims other than claims 1-5 are not yet examined except the requirement of Patent Law § 37.

REASON 2.

The application does not satisfy the requirement of the Patent Law § 36(4) or 36(5)(ii) and (6) on the description of the specification and the drawings, as mentioned below.

NOTES

1) Claim 3 includes "an arithmetic and logic unit (50) for executing at least some of said second portion of instructions". However, "first portion" or the like is not included, it is not clear what is the second portion.

Therefore, claim 3 does not set forth only the features indispensable for the constitution of the invention for which a patent is sought.

2) Claim 5 includes "said game microprocessor (22) and picture processing unit (24) are embodied in a video game system main processing unit (20) and said program memory (10) and graphics processor (2) are embodied within a video game cartridge (19)". Though the "video game system" is stated to include the main processing unit, it is not clear where is the "main processing unit" in the "video game system". The video game system according to claim 5 is deemed to include a "video game system" having a processing unit in the "video game cartridge" as described in Document 2 mentioned later, but such a "video game

system" is not described in the specification.

Therefore, the detailed explanation of the invention does not state the invention in a manner sufficiently clear and complete for the invention of claim 5 to be carried out by a person having ordinarily skill in the art.

REASON 3.

It is deemed that the inventions described in claims 1 to 5 could easily be made, prior to the filing of the patent application, by a person with ordinary skill in the art to which the invention pertains, on the basis of an invention or inventions described in a publication or publications mentioned below, distributed in Japan or elsewhere prior to the filing of the patent application. Therefore, the application is refused in accordance with the Patent Law, Section 29(2).

NOTES

Claim 1:

Document 1, and Background arts 1-2.

NOTES:

Document 1 describes a "video game system" having a "microprocessor", an "image processing unit" and a "program memory". Further, a "graphics processor" provided in an apparatus having a computer is known as described in Background arts 1-2.

Claim 2:

Document 1, and Background arts 1-2.

NOTES:

It is known to provide a "random access memory" in an apparatus having a computer and to connect components in the apparatus via a "bus". Therefore, it could be easily be made to adopts the above-mentioned known art in the invention of Document 1 to make the invention of claim 2.

Claim 3:

Document 1, and Background arts 1-5.

NOTES:

It is known to include an "arithmetic and logic unit" in a processor, as shown in Background arts 3-5.

Further, Claim 3 includes "a plotting circuit for executing at least one display related instructions". Because the term, "plotting circuit", is not used usually in the art, it is only considered to be a circuit which executes a display-related instruction. Such a circuit is usually provided in a graphics processor as described in Background arts 1-2.

Claim 4:

Document 1, and Background arts 1-2 and 6-7.

NOTES:

A "cache controller" and a "cache memory" provided in an apparatus using a computer are known, as described in Background art 6.

Further, claim 4 states that "said graphics processor and said game microprocessor are able to execute instructions in parallel". However, this only describes a hope and does not specify claim 4 on this point. (A distributed architecture having independent processors is known as described in Background art 1-7.)

Claims 1 and 5:

Document 2, and Background arts 1-2.

NOTES:

Document 2 discloses an invention of "a cartridge for a game machine including a memory for storing a game program and a CPU for executing various processings and the like, whereby not only the contents of a game, but also display characteristics such as color type and dot number in a screen can be changed to improve diversification". In the invention of claim 5, it is not advantageous in contrast to the invention of Document 2 to provide "said game microprocessor" and "said picture processor unit" "in a main processing unit" and to provide "said program

memory" and "said programmable graphics processor" "in a video game cartridge". Thus, the above-mentioned features of claim 5 are only a matter of design, and claim 5 could be easily made based on the invention of Document 2 by a person skilled in the art.

As to the invention of claim 1, it could be easily made based on the invention of Document 2 by a person skilled in the art, according to similar reason mentioned above on claim 5.

Claims 1 and 5:

Document 3, and Background arts 1-2.

NOTES:

Document 3 discloses an invention of "an external memory cartridge having a read/write controller, a data register, a semiconductor memory and the like in order to decrease the burden of a central processing unit for generating a sound". As stated that "if generation of a sound takes a time, the performance for image display and the like is decreased" (page 3, left bottom column, lines 3-5), it is known that the processing for "sound" and "image" takes a time in an apparatus using a computer. Therefore, it could easily be made by a person skilled in the art to adopt "a graphics processor" (Background art 1 or 2) in order to decrease a processing time for image instead of the time for sound, in the external memory cartridge described in Document 3, as in the invention of claim 5.

As to the invention of claim 1, it could be easily made based on the invention of Document 3 by a person skilled in the art, according to similar reason mentioned above on claim 5.

REFERENCES

Document 1: Japanese Patent laid open Publication 62-82987/1987.
(Refer to Figs. 10-11.)

Document 2: Japanese Utility Model Application 58-145419/1983
(Japanese Utility Model laid open Publication 60-52885/1985.
(Refer to page 9, lines 13-17, and Fig. 5.)

Document 3: Japanese Patent laid open Publication 3-222197/1991.
(Refer to page 3, left-bottom column, lines 3-5, and page 3,
left-bottom column line 11 - page 4, right bottom column, line
1.)

Background art 1: Japanese Patent laid open Publication 63-
163577/1988.

Background art 2: Japanese Patent laid open Publication 3-
63085/1991. (Refer to Fig. 3.)

Background art 3: Japanese Patent laid open Publication 64-
84295/1989. (Refer to Fig. 1.)

Background art 4: Japanese Patent laid open Publication 2-
15381/1990. (Refer to Fig. 3.)

Background art 5: NEC Supercomputer SX-3 Series, Description of
the System, Version 2, NEC, May 31, 1991, p. 217 (Figs. 7-4).

Background art 6: Japanese Patent laid open Publication 4-
25962/1992. (Refer to claim 1.)

Background art 7: Japanese Patent laid open Publication 63-
81558/1988.

(Suggestion of amendment and the like)

Claims 1 and 5:

The inventions of claims 1 and 5 are substantially the
same as claim 3 in the Amendment of August 4, 2002 on co-pending
Japanese Application 5-23546, so that they are liable not to
satisfy the requirement of Patent Law § 39 (2). Therefore, it is
suggested to amend claims 1 and 5 to satisfy the requirement.

REASON 2, NOTE 2:

It is suggested, for example, to make it clear that a
"video game system" comprises a "host processing system" and a
"video game cartridge", wherein the game microprocessor and the
image processing unit are provided in the "host processing
system", and the program memory and the programmable graphics
processor are provided in the "video game cartridge".

It is to be noted that the above suggestion will not
cause legal effect, and it is only a suggestion for overcoming

the reasons of refusal. The applicant has to determine the content of the amendment.

Any questions on the content of this notice may be asked to Shigeki Sakurai of the Patent Office, Examination Section, Amusement (tel. 03-3581-1101, extension 3264).

Summary of Japanese Utility Model Application 58-145419/1983

1. Title of the device

Cartridge of a game apparatus

2. Claims

(1) A cartridge of a game apparatus detachable from a main body of the game apparatus according to a type of a game, including a memory for storing a game program and the like, and a CPU for executing various processings.

(2) The cartridge according to claim 1, wherein the memory and the CPU are integrated as a single chip.

3. DETAILED EXPLANATION OF THE DEVICE

(NB: Explanation on Figs. 1-3 are omitted.)

Next, the cartridge according to the device will be explained in detail with reference to Figs. 4 and 5. Fig. 4 is a perspective view of an internal structure of the cartridge, and Fig. 5 is a block diagram of the cartridge and the main body of the game apparatus.

A print circuit board 17 is set in a cartridge 13. The board 17 is integrated with the above-mentioned terminal plate 16. An LSI chip element 18 and necessary components are mounted on the print circuit board 17. As shown in Fig. 5, the chip element 18 has a memory 18a including a ROM, a RAM and a buffer, and a CPU 18b in an integrated body. For example, it has a function of an 8-bit microprocessor and has various ports of input/output of address and data, keys (operation levers, push buttons and the like), video display generator (VDG) control, sound and the like. The memory 18a has the ROM (a mask ROM) storing a game program according to the contents of a game, and the RAM and the buffer used by CPU 18b. According to the development of LSI technology, such single chip element as mentioned above having the integrated memory 18a and CPU 18b used for the cartridge 13 of the device is preferable for cost down to a combination of a memory element and a CPU element.

Next, a circuit structure in the main body of the game apparatus connected to the cartridge 13 is explained. The main body includes components other than the memory 18a and the CPU 18b. A decoder 20 performs select control for a video RAM 21 and

a mode select latch 22. The video RAM 21 stores address information received from the ROM in the cartridge 13 and transmits it to the VDG 23 to generate video signals. Further, it reads a status of a character according to the data from the CPU 18b. The mode select latch 22 is used for mode selection of the VDG 23, and it fixes a mode according to the information from the decoder 20. On the other hand, an address latch 24 is provided to separate the address information from the data. An address driver 25 is controlled when the video RAM 23 is accessed for reading/writing an address. A bus transceiver 26 performs data transmission according to R/W signal and gives clock timings when the video RAM 21 is accessed. Further, by setting a display mode, the VDG 23 generates video signals according to the data of the video RAM 21. The display mode is set by CPU 18b in the cartridge 13. For example, it is selected among various screen display characteristics of semi-graphics of 64*32 dots and 8 colors, graphics of 64*64dots and 4 colors, graphics of 128*64 dots and 2 colors, and the like. A sound modulator 27 synthesizes signals from CPU 18b and modulates it at 4.5 MHz of television sound signal for generating FM signals. A video modulator 28 performed RF amplitude modulation on signals from the VDG 23 with a high frequency generator 29 to generate CH1 and CH2 of television (NTSC) signals and provides them through a low-pass filter 30 to the television set 3.

According to the circuit explained above, game contents are set according to the game program stored in the ROM 18a in the cartridge 13, while the VDG 23 is controlled by CPU 18b to set the color type, image quality (display dot number) and the like for a television screen.

In the above-mentioned embodiment, a game apparatus to be connected to a television set is explained as an example. However, the cartridge may also be used for the game apparatus and the display device integrated as one body. Further, the form of the cartridge and the connection thereof to the main body can be changed in various ways.

As explained above, because the cartridge of the game apparatus according to the device includes the memory for storing the game program and the like and the CPU for performing various

processings, not only the game contents, but also the color type, the image quality (display dot number) and the like can be changed for each cartridge. Therefore, the diversification can be improved.

Further, the memory and the CPU can be mass-produced as an integrated chip having a function as a simple microcomputer. Therefore, the total cost of the cartridge and the main body of the apparatus can be decreased.

BRIEF EXPLANATION OF THE DRAWINGS

Fig. 1 is a perspective view of a main body of a game apparatus using a cartridge.

Fig. 2 is a perspective view of the cartridge.

Fig. 3 is a partial perspective view of the cartridge set to the main body of the game apparatus.

Fig. 4 is a perspective view of an internal structure of the cartridge.

Fig. 5 is a block diagram of the cartridge and the main body of the game apparatus.

1: Main body of a game apparatus. 3: Television set. 4: Case. 6: Button. 7: Lever. 8: Slot for cartridge. 9: Button. 11: Button. 14: Case. 15: Recess. 16: Terminal plate.

拒絶理由通知書



特許出願の番号	特願2002-163283
起案日	平成15年 4月 3日
特許庁審査官	松川 直樹 3156 2T00
特許出願人代理人	青山 葆 (外 2名) 様
適用条文	第29条第2項、第36条、第37条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から3か月以内に意見書を提出して下さい。

理 由

<理由1>

この出願は、下記の点で特許法第37条に規定する要件を満たしていない。

記

請求項1に係る発明は、下記<理由3>において示したように、出願前公知又は従来周知の構成よりなるものであって、出願時未解決の「解決しようとする課題」、及び解決しようとする課題に対応した「主要部」を有するとは認められない。してみると、請求項1に係る発明と請求項6に係る発明とは、特許法第37条第1号に掲げる関係及び特許法第37条第2号に掲げる関係を有していない。

さらに、請求項1に係る発明と請求項6に係る発明とは、特許法第37条第3号、第4号、及び第5号に掲げるいずれの関係も有していない。

同様の理由から、請求項1に係る発明と請求項6を引用する請求項7～15に係る各発明も、特許法第37条第1～5号に掲げるいずれの関係も有していない。

また同様の理由から、請求項1に係る発明と請求項16及び請求項16を引用する請求項17～20に係る各発明、及び請求項1に係る発明と請求項21及び請求項21を引用する請求項22に係る発明も、特許法第37条第1～5号に掲げるいずれの関係も有していない。

そして、請求項1～22に係る各発明のいずれを特定発明としても、残りの21発明全てが特許法第37条第1～5号のいずれかに掲げる関係を有していると認めることができない。

この出願は特許法第37条の規定に違反しているので、請求項1～5以外の請求項に係る発明については同法第37条以外の要件についての審査を行っていない。

<理由2>

この出願は、明細書及び図面の記載、又は特許請求の範囲の記載が下記の1～2の点で、特許法第36条第4項、又は第5項第2号及び第6項に規定する要件を満たしていない。

記

1.

【請求項3】には、「・・・インストラクションの第2の部分の少なくともいくつかを実行する演算・論理ユニット(50)と、・・・」との記載があるが、他に「第1の部分」等の記載がないために、上記記載における「第2の部分」とはいかなる構成を指すのか不明確である。

よって、請求項3は、特許を受けようとする発明の構成に欠くことができない事項のみを記載したものでない。

2.

【請求項5】には、「前記ゲームマイクロプロセッサ(22)と画像プロセッシングユニット(24)とは、ビデオゲームシステムのメインプロセッシングユニット(20)内に実装されており、前記プログラムメモリ(10)とプログラマブルグラフィックスプロセッサ(2)とはビデオゲームカートリッジ(19)内に内蔵された・・・ビデオゲームシステム。」との記載があるが、上記記載においては、「ビデオゲームシステム」が「メインプロセッシングユニット」なる構成を備えていることは認められるものの、「メインプロセッシングユニット」が「ビデオゲームシステム」のどこに位置するかは明記されていない。してみると、【請求項5】に記載された「ビデオゲームシステム」には、例えば、下記引用文献2に記載された発明のごとく「ビデオゲームカートリッジ」内にプロセッシングユニットを備えるような「ビデオゲームシステム」も含まれると認められるが、そのような「ビデオゲームシステム」については、発明の詳細な説明に一切記載されていない。

よって、この出願の発明の詳細な説明は、当業者が請求項5に係る発明を実施することができる程度に、発明の構成が記載されていない。

<理由3>

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができた

ものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

・ 請求項1

引用文献1、参考文献1～2

備考：

引用文献1には、「マイクロプロセッサ」、「画像プロセッシングユニット」、及び「プログラムメモリ」を備えた「ビデオゲームシステム」について記載されている。また、コンピュータを利用した装置において「グラフィックスプロセッサ」を備えさせることについては、例えば参考文献1、又は2に記載されているように従来周知の事項である。

・ 請求項2

引用文献1、参考文献1～2

備考：

コンピュータを利用した装置において「ランダムアクセスメモリ」を備えさせること、及び装置の各構成要素を「バス」で接続することについては、文献を挙げるまでもなく従来周知の事項であるから、引用文献1に記載された発明において該周知事項を採用し、請求項2に係る発明の如く構成することは、当業者が容易に想到し得ることである。

・ 請求項3

引用文献1、参考文献1～5

備考：

プロセッサに「演算・論理ユニット」を含ませることについては、例えば参考文献3～5に記載されているように従来周知の事項である。

また、【請求項3】には「・・少なくとも一つの表示関連のインストラクションを実行するプロット回路」との記載があるが、上記「プロット回路」なる用語は本願発明の属する技術分野において通常用いられているとは認められないから、【請求項3】の記載における上記「プロット回路」とは、単に表示関連のインストラクションを実行する回路であると認めざるをえない。そして、そのような回路は、参考文献1、2に記載されているようなグラフィックプロセッサが通常備えている構成にすぎない。

・ 請求項 4

引用文献 1、参考文献 1～2、6～7

備考：

コンピュータを利用した装置において「キャッシュコントローラ」、及び「キャッシュメモリ」を備えさせることについては、例えば参考文献 6 に記載されているように従来周知の事項である。

また、【請求項 4】には「・・・前記プログラマブルグラフィックスプロセッサと前記ゲームマイクロプロセッサはインストラクションを並行に実行できる・・・」との記載があるが、上記記載は、願望を述べたにすぎず請求項 4 に係る発明の構成を何ら特定するものではない（なお、複数のプロセッサを独立させた分散アーキテクチャについては、例えば参考文献 7 に記載されているように従来周知の技術である）。

・ 請求項 1、5

引用文献 2、参考文献 1～2

備考：

引用文献 2 には、「ゲーム内容のみならず、色の種類、表示画面のドット数等の表示特性についてもカートリッジ毎に任意に変更し、より多様性を向上するために、ゲームプログラムを記憶したメモリと各種処理等を実行する CPU とを内蔵した、ゲーム装置用のカートリッジ」の発明が記載されているものと認められる。そして、請求項 5 に係る発明において、「ゲームマイクロプロセッサ」、及び「画像プロセッシングユニット」を「メインプロセッシングユニット内」に備え、「プログラムメモリ」、及び「プログラマブルグラフィックスプロセッサ」を「ビデオゲームカートリッジ内」に備えることに、上記引用文献 2 に記載された発明と比較しての格別の技術的意義を認めることはできない以上、請求項 5 に係る発明における上記の構成は設計事項の範囲のものというべきであるから、上記引用文献 2 に記載された発明に基いて請求項 5 に係る発明の如く構成することは、当業者が容易に想到し得ることである。

なお、コンピュータを利用した装置に「グラフィックスプロセッサ」を備えさせることについては、例えば参考文献 1、又は 2 に記載されているように従来周知の事項であり、「画像プロセッシングユニット」についても、例えば引用文献 1 に記載されているように従来周知の事項である。

請求項 1 に係る発明については、請求項 5 について示したと同様の理由により、引用文献 2 に記載の発明に基づいて容易に発明をすることができたものである。

・ 請求項 1、5

引用文献 3、参考文献 1～2

備考：

引用文献 3 には、「中央処理装置における音の発生のための負担を軽減するために、読出・書込制御回路、データレジスタ、半導体メモリ等を備えた外部メモリカートリッジ」の発明が記載されているものと認められる。そして、「音の発生のための処理に時間がかかるとその分だけ画像表示等の他の能力を低下させる。」（第 3 頁左下欄第 3～5 行目）と記載されているように、コンピュータを利用した装置において「音」と「画像」の処理に時間を食うことはよく知られているところであるから、上記引用文献 3 に記載された外部メモリカートリッジにおいて、音の処理にかかる時間の代わりに画像処理にかかる時間を軽減するために、従来周知の構成である「グラフィックスプロセッサ」（参考文献 1、又は 2 を参照）を採用し、請求項 5 に係る発明の如く構成することは、当業者が容易に想到し得ることである。

請求項 1 に係る発明については、請求項 5 について示したと同様の理由により、引用文献 3 に記載の発明に基づいて容易に発明をすることができたものである。

引用文献等一覧

引用文献 1

特開昭 62-82987 号公報（特に、第 10～11 図を参照）

引用文献 2

実願昭 58-145419 号（実開昭 60-52885 号）のマイクロフィルム（特に、第 9 頁第 13～17 行、及び第 5 図を参照）

引用文献 3

特開平 3-222197 号公報（特に、第 3 頁左下欄第 3～5 行目、第 3 頁左下欄第 11 行目～右下欄第 1 行目を参照）

参考文献 1

特開昭 63-163577 号公報

参考文献 2

特開平 3-63085 号公報（特に、第 3 図を参照）

参考文献 3

特開昭 64-84295 号公報（特に、第 1 図を参照）

参考文献 4

特開平 2-15381 号公報（特に、第 3 図を参照）

参考文献 5

NEC スーパーコンピュータ SX-3 シリーズ システム概説書 第 2 版

、第2版、日本電気株式会社、1991年5月31日、p. 217 (図7-4)

参考文献6

特開平4-25962号公報 (特に、特許請求の範囲1. を参照)

参考文献7

特開昭63-81558号公報

<補正等の示唆>

(請求項1、及び5について)

請求項1、及び5に係る発明については、特願平5-13546号の平成14年9月4日付け手続補正書における請求項3に係る発明と実質的に同一のものであるために、特許法第39条第2項の規定を満たさない蓋然性が高い。したがって、当該請求項に係る発明については、当該規定を満たすように補正されてはいかがか。

(<理由2>の2. について)

例えば、「ビデオゲームシステム」は「ホスト処理システム」と「ビデオゲームカートリッジ」から構成され、ゲームマイクロプロセッサと画像プロセッシングユニットとは前記「ホスト処理システム」内に備えられ、プログラムメモリとプログラマブルグラフィックスプロセッサとは前記「ビデオゲームカートリッジ」内に内蔵されていることが明確になるよう補正されてはいかがか。

なお、上記の補正等の示唆は法律的效果を生じさせるものではない。明細書及び図面をどのように補正するかは出願人が決定すべきものである。

この拒絶理由通知の内容に関するお問い合わせがございましたら下記までご連絡下さい。

特許審査第一部アミューズメント 櫻井茂樹

TEL. 03(3581)1101 内線3264

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.